

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-066736

(43)Date of publication of application : 10.03.1995

(51)Int.Cl. H03M 13/12
H04L 25/03
H04L 25/08
H04L 27/38

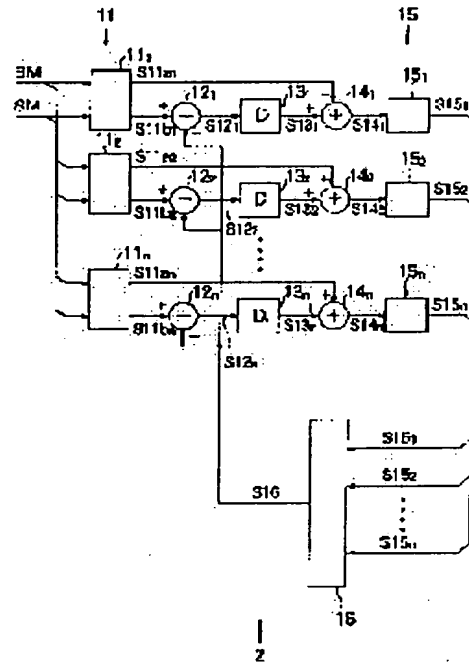
(21)Application number : 05-210614 (71)Applicant : SONY CORP
(22)Date of filing : 25.08.1993 (72)Inventor : IKEDA TAMOTSU

(54) VITERBI DECODING DEVICE

(57)Abstract:

PURPOSE: To provide a viterbi decoding device capable of preventing the generation of troubles such as the overflow of state metric values by means of small circuit size.

CONSTITUTION: Repetitive ACS circuits 111 to 11n calculate state metric values SM_i and branch metric values BM_i corresponding to n states. Subtracting circuits 121 to 12n respectively subtract the minimum value of state metric values which is detected by a minimum value detecting circuit 16 from respective input signals to normalize the input signals. Delay circuits 131 to 13n respectively apply time delay necessary for the minimum value detecting operation of the circuit 16. Adder circuits 141 to 14n respectively add branch metric values generated by the ACS circuits 111 to 11n to respective input signals. State metric value storing circuits 151 to 15n respectively store state metric values outputted from the circuits 141 to 14n. The circuit 16 detects a minimum value in the state metric values inputted from the circuits 151 to 15n and inputs the detected value to the circuits 121 to 12n.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-66736

(43) 公開日 平成7年(1995)3月10日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 13/12		8730-5 J		
H 0 4 L 25/03		C 9199-5 K		
25/08		B 9199-5 K		
27/38				
		9297-5 K		
			H 0 4 L 27/ 00	G
			審査請求 未請求 請求項の数 5	OL (全 9 頁)

(21) 出願番号 特願平5-210614

(22) 出願日 平成5年(1993)8月25日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 池田 保

東京都品川区北品川6丁目7番35号 ソニー株式会社内

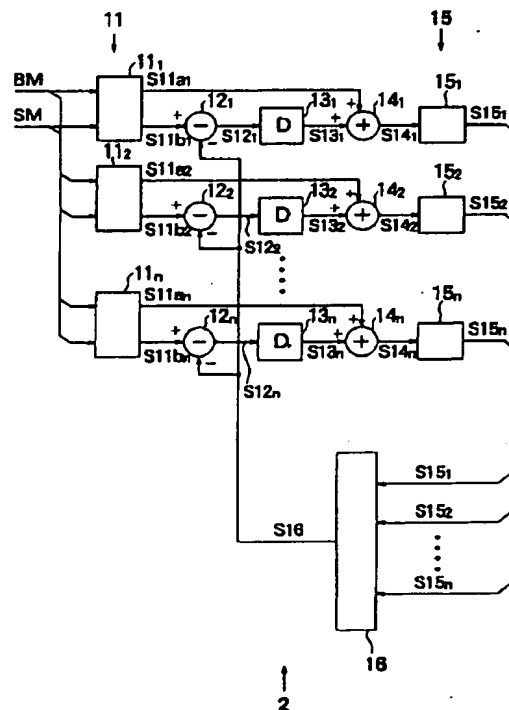
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 ビタビ復号装置

(57) 【要約】

【目的】 小さい回路規模によりステートメトリックのオーバーフロー等の問題の発生を防止可能なビタビ復号装置を提供することを目的とする。

【構成】 ACS回路11₁～11_nは、n個の状態に対応するステートメトリックSM_iおよびブランチメトリックBM_iを算出する。減算回路12₁～12_nは、入力される信号から最小値検出回路16で検出されるステートメトリックの最小値を減算して正規化する。遅延回路13₁～13_nは、入力される信号に、最小値検出回路16における最小値検出演算に必要な時間の遅延を与える。加算回路14₁～14_nは、入力される信号に、その時点でACS回路11₁～11_nにより生成されたブランチメトリックを加算する。ステートメトリック記憶回路15₁～15_nは、加算回路14₁～14_nから出力されるステートメトリックを記憶する。最小値検出回路16は、ステートメトリック記憶回路15₁～15_nから入力されるステートメトリックの内から最小値を検出して、減算回路12₁～12_nに入力する。



【特許請求の範囲】

【請求項 1】 ビタビ復号を行う装置であって、

連続した時系列の受信信号の有する複数の状態にそれぞれ対応したステートメトリックの最小値を、実質的に所定の間隔を隔てた該受信信号のシンボルおきに順次求め、該最小値に基づいて該ステートメトリックそれぞれを正規化する正規化手段を有することを特徴とするビタビ復号装置。

【請求項 2】 前記正規化手段は、少なくとも前記最小値を求める演算に要する時間だけ前記各ステートメトリックに遅延を与える遅延手段と、
該遅延手段により遅延された該各ステートメトリックにそれぞれ対応する所定のブランチメトリックを加算する加算手段とを有し、
該加算手段の加算結果に基づいて前記最小値を求めることを特徴とするビタビ復号装置。

【請求項 3】 前記所定の間隔は、少なくとも前記最小値を求める演算に要する時間間隔であることを特徴とする請求項 2 に記載のビタビ復号装置。

【請求項 4】 前記遅延は、前記受信信号の状態数に対応して変更されることを特徴とする請求項 3 に記載のビタビ復号装置。

【請求項 5】 ビタビ復号を行う方法であって、
連続した時系列の受信信号の有する複数の状態にそれぞれ対応したステートメトリックの最小値を、少なくとも該最小値を求める演算に要する間隔を隔てた該受信信号のシンボルおきに順次求め、該最小値に基づいて該ステートメトリックそれぞれを正規化することを特徴とするビタビ復号方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は衛星放送等の信号の復調に使用されるビタビ復号装置に関する。

【0002】

【従来の技術】 衛星通信システムにおいては、受信信号の S/N 比の改善が他の通信システム、例えば有線通信システム等に比較して困難である。従って、衛星通信システムの設計においては、伝送路上での各種障害、妨害によって発生するエラーを訂正する誤り訂正が重視される。誤り訂正を行うための誤り訂正方式は、従来から種々の方式が提案されているが、特に注目されているものにたたみ込み符号化方式（ビタビ復号方式）がある。ビタビ復号方式は、符号系列（パス）の拘束長が短いため情報効率が低い。また、最尤復号方式である上、軟判定を組み合わせることができないため高い訂正能力を有するという特徴を有する。

【0003】 たたみ込み符号は、ブロック符号に比べ簡単な装置により誤り訂正能力を高くすることができる。ビタビ復号方式は、符号化装置として拘束長の短いたたみ込み符号化装置、および、復号化装置としてビタビ復

号装置を組み合わせた誤り訂正方式であり、たたみ込み符号を使用する誤り訂正方式の中で最も強力な訂正能力を有する。

【0004】 ビタビ復号装置は、一定長の受信符号系列（パス）とのユークリッド距離が最も小さい送信符号系列を存在しうる全ての送信符号系列の中から選択し、それに対応する情報シンボルを決定することにより復号を行う。送信符号系列の選択は、存在し得るすべての一定長の送信符号系列の中から、ステートメトリックが最小となるような送信符号系列を選ぶことにより行われる。ここで、ステートメトリックとは、ビタビ復号装置の各内部状態へ到達する符号系列に対応するブランチメトリックの和である。また、ブランチメトリックとは、1 個の受信シンボル、および、仮定し得るすべてのシンボルとのユークリッド距離の平方の最小値である。

【0005】 以下、一般的なビタビ復号装置を説明する。図 4 は、一般的なビタビ復号装置 6 の構成を示す図である。ビタビ復号装置 6 は、ある符号系列に対応するブランチメトリックとステートメトリックとの加算、この加算結果の最小値の検出、および、加算結果の最小値の選択を行ういわゆる ACS (Add Compare Select) 回路 63、ステートメトリックを記憶するステートメトリック記憶回路 64、および、加算回路 61、62 から構成される。また図 4 において、信号 BM1 および信号 SM1 は、所定の符号系列（パス）のこの時点の状態におけるブランチメトリック（BM）、および、ステートメトリック（SM）を表し、信号 BM2 および信号 SM2 は、別の符号系列のこの時点におけるブランチメトリック、および、ステートメトリックを表す。また、上記各部の接続を示す線に付された S x x の符号は、対応する各部分の入出力信号を示す（以下同様）。

【0006】 以下、ビタビ復号装置 6 の動作を説明する。ビタビ復号装置 6 に入力される、各符号系列のブランチメトリックおよびステートメトリック（BM1、BM2、SM1、SM2）は、それぞれ図中に示すように、加算回路 61、62 で加算される。ACS 回路 63 は、加算回路 61、62 の加算結果 S61、S62 を比較し、これらの内の小さい方を選択して出力する。ACS 回路 63 において選択された最小ステートメトリック S63 は、次の時点における状態に対応するステートメトリックとなる。ステートメトリック記憶回路 64 は、最小ステートメトリック S63 を記憶する。ステートメトリック記憶回路 64 から出力され、各符号系列に対応するその時点の状態のステートメトリックは、次の時点における、ビタビ復号装置 6 への入力信号 SM1、SM2 となる。

【0007】 ステートメトリック記憶回路 64 の記憶容量、および、1 ワードのビット数は有限である。従って、ステートメトリック記憶回路 64 に記憶されるステ

10

20

30

40

50

ートメトリックについて、各時点で算出されるブランチメトリックを加算することにより生じるオーバフローを防ぐため何らかの処理が必要となる。以下、ステートメトリック記憶回路64といったステートメトリックを記憶する回路の容量、あるいは、ワードのビット数をオーバフローする事態を防止する処理を正規化と呼ぶ。

【0008】以下、一般的なステートメトリックの正規化処理を説明する。一般的なビタビ復号装置における正規化処理は、受信信号1シンボル分の処理を行うごとに、各符号系列に対応するステートメトリックの最小値を求め、その最小値を各符号系列に対応するステートメトリックそれぞれから減算することにより行われる。図5は、一般的なステートメトリックの正規化回路7の構成を示す図である。ACS回路71、72は、それぞれ*

$$SM_i(t) = SM_j(t-1) + BM_{ji}(t) - \min\{SM(t-1)\} \quad \dots (1)$$

ただし、 $SM_i(t)$ は時点 t における状態 i のステートメトリックの値、 $BM_{ji}(t)$ は、時点 t において、状態 j から状態 i へ遷移するパスに対するブランチメトリック、 $\min\{SM(t)\}$ は時点 t における全てのパスに対応するステートメトリックの内の最小値を示す。

【0011】以下、ステートメトリックの最小値を求める方法の例を説明する。以下に述べる方法は、あるステートメトリックが最小か否かを判断する方法である。図6は、あるステートメトリックが最小か否かを判断する演算回路20の例を示す図である。図6において、比較回路201~206は、それぞれ入力端子 a 、 b に入力される異なる状態に対応するステートメトリック $SM_1 \sim SM_4$ の内の任意の組み合わせの内のいずれが小さいかを判断し、それぞれの入力 a に入力される値が入力 b に入力される値よりも小さい場合に論理値0を出力し、その逆の場合に論理値1を出力する。最小値選択回路207は、否定論理回路と論理積回路からなる論理演算回路であって、比較回路201~206の比較結果に基づいて演算を行う。つまり最小値選択回路207は、ステートメトリック SM_1 が最小である場合には信号 $S207a$ を論理値1にしてその他の信号を論理値0に、ステートメトリック SM_2 が最小である場合には信号 $S207b$ を論理値1にしてその他の信号を論理値0に、ステートメトリック SM_3 が最小である場合には信号 $S207c$ を論理値1にしてその他の信号を論理値0に、ステートメトリック SM_4 が最小である場合には信号 $S207d$ を論理値1にしてその他の信号を論理値0にする。

【0012】

【発明が解決しようとする課題】上述のステートメトリックの正規化においては、取り扱う状態数の増加に伴ってステートメトリックの最小値を求めることが時間的、あるいは、回路構成の面で困難になるという問題がある。以下、例を挙げてこの問題を説明する。例えば、ト

*対応する符号系列のステートメトリックを算出する。減算回路73、74は、ACS回路71、72で算出されたステートメトリック $S71$ 、 $S72$ から、最小値演算回路77によって算出された最小値 $S77$ を減算して正規化する。ステートメトリック記憶回路75、76は、送受信回路73、74によって正規化されたステートメトリック $S73$ 、 $S74$ を記憶する。最小値演算回路77は、ステートメトリック記憶回路75、76に記憶されたステートメトリック $S75$ 、 $S76$ の中から最小値を検出する。

【0009】ビタビ復号装置6における正規化の処理は、次式で示される。

【0010】

【数1】

ーナメント方式と呼ばれるステートメトリックの最小値を求める方法がある。トーナメント方式においては、それぞれ入力される2つの符号系列に対応するステートメトリックの内から値の小さい方を選択して出力する比較回路を多段構成して、ステートメトリックの最小値を演算（検出）する方法である。このトーナメント方式による最小値の演算においては、 NOS をビタビ復号装置の状態数とすると、 $(\log_2 NOS)$ 段の比較回路が必要となり、演算時間は（比較回路1段の遅延時間×比較回路の段数）となる。

【0013】従ってトーナメント方式においては、後述する方法よりも回路規模が小さくなる反面、符号系列の数（状態数）が増加した場合、最小値の検出が終わらないうちに次の受信信号が正規化回路に入力される可能性が生じる。つまり、受信信号1シンボルの時間内に最小値を求める演算が終わらず、あるいは、演算が遅延することによって、最小値の値によっては正規化の結果、ステートメトリックのアンダーフローが生じて正しい復号が行われなくなってしまうという問題がある。

【0014】また例えば、上述したあるステートメトリックが最小か否かを判断する方法においては、複数の比較回路の出力が演算回路に並列に入力される2段構成となる。従って、この方法による演算遅延時間は、（比較回路1段の遅延時間+論理回路の遅延時間）となり、演算時間の問題からは上述のトーナメント方式よりも有利となる。しかし、必要な比較回路の数は $(NOS \times (NOS - 1) / 2)$ に、つまり状態数の2乗に比例することになり、状態数の増加とともにトーナメント方式に比べて相対的に回路規模が増大してしまうという問題がある。

【0015】本発明は上述した従来技術の問題点に鑑みてなされたものであり、ビタビ復号装置のステートメトリック正規化回路を改良して、回路規模が小さいにもかかわらずステートメトリックのオーバフロー、あるい

は、アンダーフローといった問題の発生を有効に防止することが可能なビタビ復号装置を提供することを目的とする。

【0016】

【課題を解決するための手段】上述した目的を達成するために本発明のビタビ復号装置は、ビタビ復号を行う装置であって、連続した時系列の受信信号の有する複数の状態にそれぞれ対応したステートメトリックの最小値を、実質的に所定の間隔を隔てた該受信信号のシンボルおきに順次求め、該最小値に基づいて該ステートメトリックそれぞれを正規化する正規化手段を有することを特徴とする。また好適には、前記正規化手段は、少なくとも前記最小値を求める演算に要する時間だけ前記各ステートメトリックに遅延を与える遅延手段と、該遅延手段により遅延された該各ステートメトリックにそれぞれ対応する所定のブランチメトリックを加算する加算手段とを有し、該加算手段の加算結果に基づいて前記最小値を求めることを特徴とする。また好適には、前記所定の間隔は、少なくとも前記最小値を求める演算に要する時間間隔であることを特徴とする。また好適には、前記遅延は、前記受信信号の状態数に対応して変更されることを特徴とする。本発明のビタビ復号方法は、ビタビ復号を行う方法であって、連続した時系列の受信信号の有する複数の状態にそれぞれ対応したステートメトリックの最小値を、少なくとも該最小値を求める演算に要する間隔を隔てた該受信信号のシンボルおきに順次求め、該最小値に基づいて該ステートメトリックそれぞれを正規化する*

*ることを特徴とする。

【0017】

【作用】各状態に対応するステートメトリックからステートメトリックの最小値を減算するタイミングを、ステートメトリックの最小値の検出に係る演算に要する時間だけ遅延することにより、該演算を行う時間に余裕を持たせる。また、該遅延を与えた後の各ステートメトリックそれぞれに、その時点で算出されたブランチメトリックを加算して、これらの値に基づいて最小値を検出することにより、受信信号の各シンボルごとに正規化を行った場合と同等の数値を減算する。

【0018】

【実施例】まず、本発明のビタビ復号装置の原理を説明する。本発明のビタビ復号装置においては、受信信号1シンボルの復号処理を行うたびにステートメトリックの正規化を行う場合であって、このステートメトリックの正規化の際に必須な最小値の検出演算が受信信号1シンボル分の時間内に完了しない場合を前提とする。本発明のビタビ復号装置は上記の場合に対処するために、各状態に対するステートメトリックからステートメトリックの最小値を減算して正規化するタイミングを、ステートメトリックの最小値の検出演算に要する時間、例えば受信信号数シンボル分の時間だけ遅延する。受信信号1シンボル分の遅延を与えた場合の復号装置の各部の信号は、次式で表される。

【0019】

【数2】

$$SM_i(t) = SM_j(t-1) + BM_{ji}(t) - \min\{SM(t-2)\} \quad \dots (2)$$

ただし、 i, j, t は、整数であり、 $SM_i(t)$ は、時点 t における状態 i に対応する正規化されたステートメトリック (SM)、 $SM_j(t-1)$ は、時点 $t-1$ における状態 j に対応するステートメトリック、 $BM_{ji}(t)$ は、時点 t において、状態 j から状態 i に遷移するパスに対応するブランチメトリック (BM)、 $\min\{SM(t-2)\}$ は、時点 $t-2$ におけるステートメトリックの最小値を示す。

【0020】式2から分かるように、式2中の $SM_j(t-1)$ は、次式のように展開することができる。

【0021】

【数3】

$$SM_i(t) = SM_k(t-2) + BM_{kj}(t-1) - \min\{SM(t-3)\} + BM_{ji}(t) - \min\{SM(t-2)\} \quad \dots (3)$$

【0022】さらに、式3を次式のように並びかえる。 ★【数4】

【0023】

★40

$$SM_i(t) = BM_{kj}(t-1) + BM_{ji}(t) + SM_k(t-2) - \min\{SM(t-2)\} - \min\{SM(t-3)\} \quad \dots (4)$$

【0024】式4に示したような演算(正規化)を行った場合、式4の第5項 ($\min\{SM(t-3)\}$) の値によっては計算結果 $SM_i(t)$ が負の値となり、ステートメトリックの値にアンダーフローが起こってしまう。このアンダーフローを防止するため、式4の第5項☆

☆ ($\min\{SM(t-3)\}$) を省略して次式の正規化を行う。

【0025】

【数5】

$$SM_i(t) = BM_{kj}(t-1) + BM_{ji}(t) + SM_k(t-2) - \min\{SM(t-2)\} \quad \dots (5)$$

【0026】ここで、式5において次式の $\Delta SM_k(t-2)$ は負の数にならない。

$$\Delta SM_k(t-2) = SM_k(t-2) - \min\{SM(t-2)\}$$

… (6)

【0028】従って、式5に示した正規化によってステートメトリックのアンダーフローは起こらない。また、一般的にビタビ復号装置の状態遷移ダイアグラム(トレリス)上においては、受信信号の4~5シンボル分の区間で各状態へのパスが収束する。従って、式6の $\Delta SM_k(t-2)$ の値は、通常高々ブランチメトリックの4~5倍程度となる。逆に、各状態へのパスが収束しない※

$$0 \leq SM_i(t) \leq SM_{max}$$

【0031】式7より、ステートメトリックの記憶装置の容量、あるいは、1ワードが、 SM_{max} の値を記憶した場合にオーバーフローを生じなければ、オーバーフロー、および、アンダフローを起こすことなく正規化が可能であることを示している。

【0032】以上、ステートメトリックの最小値を求める演算が受信信号1シンボル分の時間を要する場合に★

$$\begin{aligned} SM_i(t) = & SM_{i1}(t-n) \\ & + BM_{i1} i_2(t-n) \\ & + BM_{i2} i_3(t-(n-1)) \\ & \vdots \\ & + BM_{i(n-1)} i_n(t-1) \\ & - \min\{SM(t-n)\} \end{aligned}$$

… (7)

※場合は、生き残りパス上のステートメトリックの差が小さいことを意味する。従って、この場合においても式6の $\Delta SM_k(t-2)$ は上限を有する。

【0029】以上のことから、所定の定数 SM_{max} を用いて次のことが導ける。

【0030】

【数7】

★いて説明した。同様に、上述の正規化方法は、ステートメトリックの最小値を求める演算が、受信信号の任意のnシンボル分の時間を要する場合についても拡張可能である。受信信号nシンボル分の時間を要する場合の正規化方法は、一般的に次式で表される。

【0033】

【数8】

… (8)

【0034】以下、本発明の実施例を説明する。本発明のビタビ復号装置1は、例えば衛星通信等の受信信号のS/N比の改善が困難な通信システムに使用される装置であって、上述したステートメトリックの最小値の検出に受信信号1シンボル分の時間を要する場合に対応する式5に基づいて構成されたものである。図1は、ビタビ復号装置1の構成を示す図である。図1において、メトリック計算回路10は、連続して時系列に入力される受信信号(入力データ)に基づいて、受信信号のシンボル、および、n個の状態ごとにブランチメトリック $BM_i(1 \leq i \leq n)$ を順次算出する。ACS回路11は、メトリック計算回路10で算出されたブランチメトリック BM_i に基づいて、ある状態に合流するそれぞれのパスに対し、受信信号のシンボルとそれらのパスとのユークリッド距離(ブランチメトリック)を順次算出し、また、それまでのブランチメトリックの累積和(ステートメトリック)を順次算出する。上記ユークリッド距離の算出、および、ステートメトリックの算出の後、これらの値を比較し、最も尤度の高いパス、つまり、最もステートメトリックの値の小さいパスを順次選択して、このパスに対応するステートメトリックおよびブランチメトリックの値を正規化回路2に順次入力する。なおACS回路11は、後述のように、n個の状態それぞれに対応

して設けられ、それぞれ状態に対応するステートメトリック SM_i およびブランチメトリック BM_i を算出するACS回路11₁~11_nの各部分から構成される。

【0035】正規化回路2は、ACS回路11から入力されるステートメトリックを正規化してステートメトリック記憶回路15に入力して記憶させる。ステートメトリック記憶回路15は、ACS回路11から入力される正規化されたステートメトリックを記憶し、これらの値を正規化回路2およびACS回路11における処理のために提供する。バスメモリ18は、各パスの情報を記憶し、この情報を最尤復号判定回路17の処理のために提供する。最尤復号判定回路17は、ステートメトリック記憶回路15に記憶される各ステートメトリック、および、バスメモリ18に記憶される各パスの情報に基づいて最尤パスを判定し、復号データを生成して出力する。なお各図において、各部分間の接続に付された $S \times x$ は、対応する部分の入出力信号を示す。

【0036】図2は、図1に示したビタビ復号装置1の内、ステートメトリックの正規化に関する部分の構成を示す図である。なお、各符号に付した1~nの下添字は、図2に示したものの、あるいは、図示を省略したビタビ復号装置1の各部分であって、受信信号の状態1~nに対応するものであることを示す。

【0037】正規化回路2は、それぞれ受信信号の状態1～nに対応する減算回路12₁～12_n、遅延回路13₁～13_n、加算回路14₁～14_n、および、各状態で共通の最小値検出回路16から構成される。ACS回路11₁～11_nは、上述のn個の状態に対応するステートメトリックSM_iおよびブランチメトリックBM_i (1 ≤ i ≤ n) を算出して、それぞれ減算回路12₁～12_n および加算回路14₁～14_n に入力する。減算回路12₁～12_n は、ACS回路11₁～11_n から入力される信号から最小値検出回路16で検出されるステートメトリックの最小値を減算して正規化する。遅延回路13₁～13_n は、減算回路12₁～12_n から入力されるステートメトリックに対して、最小値検出回路16における最小値検出演算に必要な時間、例えば受信信号1シンボル分の時間の遅延を与えて加算回路14₁～14_n に入力する。加算回路14₁～14_n は、遅延回路13₁～13_n から入力されるステートメトリックに、その時点でACS回路11₁～11_n により生成されたブランチメトリックを加算して、ステートメトリック記憶回路15₁～15_n に入力して記憶させる。

【0038】ステートメトリック記憶回路15₁～15_n は、それぞれ図1に示したステートメトリック記憶回路15を構成するメモリであって、上述した定数SM_{max}以上の容量を有し、加算回路14₁～14_n から出力されるステートメトリックを記憶する。最小値検出回路16は、受信信号のn個の状態に共通に設けられ、ステートメトリック記憶回路15₁～15_n から入力されるステートメトリックの内から最小値を検出して、減算回路12₁～12_n に入力する。以上述べた各部分は、それぞれハードウェア的に構成されるか、あるいは、計算機上に同等の機能を有するソフトウェアとして実現されるかを問わない。

【0039】以下、図1、図2、および、式5を参照してビタビ復号装置1の動作を説明する。メトリック計算回路10は受信信号（入力データ）に基づいて、n個の状態ごとにブランチメトリックBMを順次算出してACS回路11に入力する。ここで、ACS回路11に入力されるブランチメトリックBMは、式5のBM_j i

(t)に相当し、ステートメトリックSMは、式5のSM_j (t-1)に相当する。ACS回路11に含まれるACS回路11₁～11_n は、それぞれ対応する状態iに対応するステートメトリックSM_iおよびブランチメトリックBM_iを算出して、それぞれ信号S11a₁～S11a_n、S11b₁～S11b_n として減算回路12₁～12_n、および、加算回路14₁～14_n に入力する。この場合、信号S11a₁～11_n は、ACS回路11に入力されたブランチメトリックが素通しされたもの、すなわち、式5のBM_j i (t)に相当し、信号S11b₁～11_n は、SM_j (t-1) + BM_j i (t)に相当する。

【0040】減算回路12₁～12_n において、信号S11a₁～S11a_n は、最小値検出回路16において検出されるステートメトリックの最小値が減算されて正規化され、信号S12₁～12_n として遅延回路13₁～13_n に入力され、受信信号1シンボル分の時間だけ遅延が与えられる。ここで、信号S12₁～12_n は、式5のSM_j (t-1) + BM_j i (t) - min {SM_M (t-1)} に相当し、信号S13₁～13_n は、SM_k (t-2) + BM_k j (t-1) - min {SM_M (t-2)} に相当する。

【0041】信号S13₁～13_n は、加算回路14₁～14_n において、それぞれ最小値検出回路16において該時点のステートメトリックの最小値(S16)が減算され、信号S14₁～S14_n として最小値検出回路16に入力される。ここで、信号S16は、式5のmin {SM_M (t-2)} に相当し、信号S14₁～S14_n は、SM_i (t)に相当する。信号S14₁～S14_n は、ステートメトリック記憶回路15₁～15_n に記憶され、受信信号1シンボル分の時間の後に読み出され、最小値検出回路16に入力される。ここで信号S15₁～15_n は、式5のSM_i (t-1)に相当する。以上の各動作により、図2に示した各部分はステートメトリックの正規化を行う。最尤復号判定回路17は、以上のように正規化されたステートメトリック、および、バスメモリ18に記憶された各バスの情報に基づいて復号を行い、復号データとして出力する。

【0042】以下、最小値検出回路16の構成を説明する。図3は、図2に示した最小値検出回路16の構成例を示す図である。最小値検出回路16は、状態数8 (n=8) の場合のいわゆるトーナメント方式による最小値検出回路である。図3において、比較回路161～167は、それぞれ入力される2つのステートメトリックの値の内、いずれか小さい方を選択して出力する。

【0043】以下、最小値検出回路16の動作を説明する。比較回路161～163は、それぞれ入力されるステートメトリックSM1とSM2、SM3とSM4、SM5とSM6、SM7とSM8を比較して値の小さい方を出力する。比較回路165は、比較回路161、162から入力されるSM1とSM2の内のいずれか値の小さい方、および、SM3とSM4の内のいずれか値の小さい方を比較回路167に入力する。比較回路166は、比較回路165、166から入力されるSM4とSM5の内のいずれか値の小さい方、および、SM7とSM8の内のいずれか値の小さい方を比較回路167に入力する。比較回路167は、比較回路165、166から入力されるステートメトリックの内、いずれか小さい方を選択してS167として出力する。この信号S167は、図2の減算回路12₁～12_n に入力される。最小値検出回路16は、上述のように演算に要する時間が長いという短所がある。しかし上述のようにビタビ復号

装置 1 は、最小値検出回路 16 をビタビ復号装置 1 に適用した場合であって、最小値検出回路 16 の演算時間が受信信号 1 シンボル分の時間を超える場合にも正常なステートメトリックの正規化処理が可能であり、従って正常な受信信号の復号が可能である。

【0044】本発明のビタビ復号装置によれば、例えばトーナメント方式による最小値演算回路のように、演算時間が長い回路もステートメトリックの最小値検出に使用できる。従って、並列に全てのステートメトリックの組合せに対して比較する場合に比べて回路規模を格段に小さく構成できる。また、安価な汎用加算回路を用いて、高速動作が可能なステートメトリック正規化回路を構成することができる。

【0045】なおビタビ復号装置 1 が使用される伝送路の状態により、受信信号の状態数を変更するように構成してもよく、この場合には、状態数の変更に伴って図 3 に示した最小値検出回路 16 の段数を変更するように構成してもよい。最小値検出回路 16 の段数が変更された場合、最小値検出回路 16 の処理時間も変わるので、遅延回路 13₁ ~ 13_n それぞれの遅延時間を変更するように構成してもよい。上述した実施例に述べた、本発明のビタビ復号装置は、例えば最小値検出回路 16 の代わりに従来の技術で説明した演算回路 20 を使用する等、種々の構成をとることができる。また、上述のように、ステートメトリックの最小値の検出演算が受信信号 1 シンボル分以上の時間を要する場合にも、遅延時間を加減することにより対応可能である。

【0046】

【発明の効果】以上述べたように本発明のビタビ復号装置によれば、ステートメトリックの正規化処理において、ステートメトリックの最小値検出演算に受信信号 1 シンボル分以上の遅延を許容することができる。従って、該最小値の演算に、例えばトーナメント方式のよう

に演算時間の大きい方法が使用可能であるため、回路規模の大幅な縮小が可能である。また、従来のビタビ復号装置と比較して、最小値の演算時間の条件が緩和されるので、設計しやすい。また、最小値演算回路の演算速度にその他の回路が拘束されることがないので、より高速のシステム設計が可能になる。また、従来のビタビ復号装置と異なり、ステートメトリックの最小値の検出を行う演算回路に高速の特殊部品を用いる必要がないので、ビタビ復号装置の製造コストを低減することができる。

10 【図面の簡単な説明】

【図 1】本発明のビタビ復号装置の構成を示す図である。

【図 2】図 1 に示した本発明のビタビ復号装置の内、ステートメトリックの正規化に関する部分の構成を示す図である。

【図 3】図 2 に示した最小値検出回路の構成例を示す図である。

【図 4】一般的なビタビ復号装置の構成を示す図である。

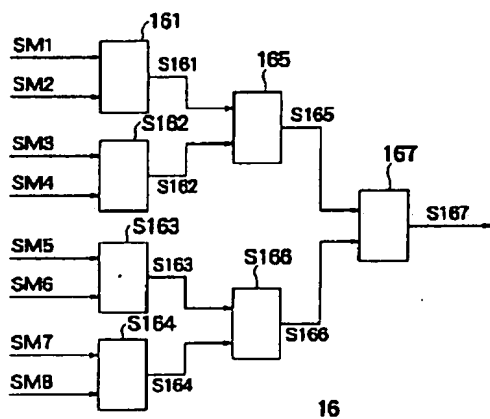
20 【図 5】一般的なステートメトリックの正規化回路の構成を示す図である。

【図 6】あるステートメトリックが最小か否かを判断する演算回路の例を示す図である。

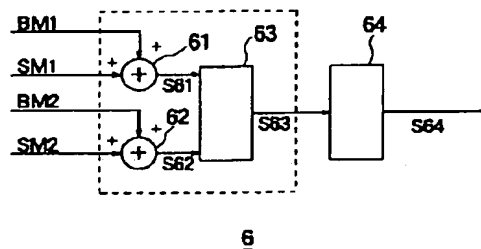
【符号の説明】

1・・・ビタビ復号装置、10・・・メトリック計算回路、2・・・正規化回路、11, 11₁ ~ 11_n・・・ACS 回路、12₁ ~ 12_n・・・減算回路、13₁ ~ 13_n・・・遅延回路、14₁ ~ 14_n・・・加算回路、15, 15₁ ~ 15_n・・・ステートメトリック記憶回路、16・・・最小値検出回路、161 ~ 167・・・比較回路、17・・・最尤復号判定回路、18・・・パスメモリ

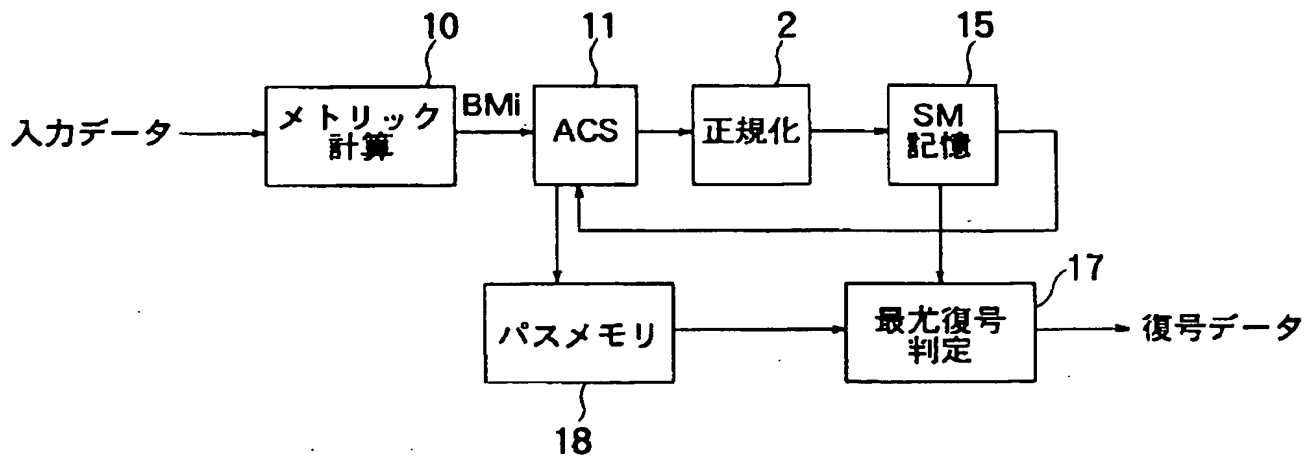
【図 3】



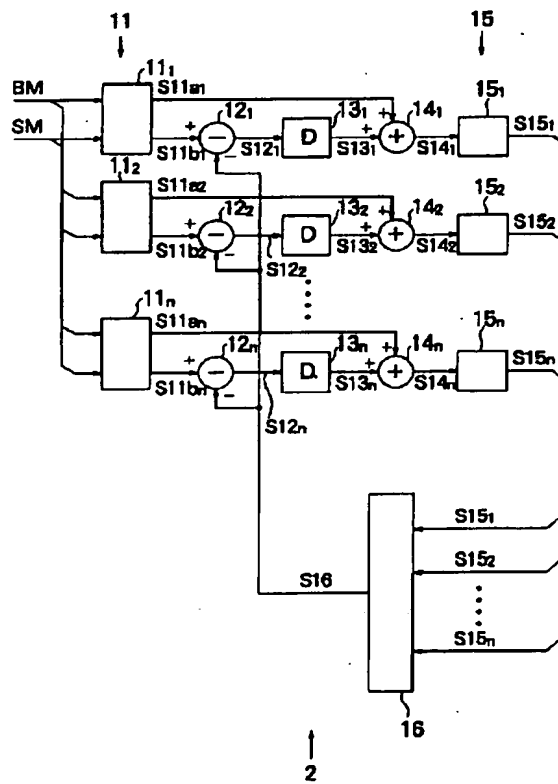
【図 4】



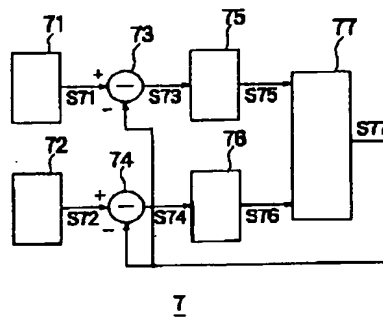
【図1】

1

【図2】



【図5】

7

【図 6】

